

Docket No.: 57810-098

**PATENT**

**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

In re Application of	:	Customer Number: 20277
	:	
Kenya UESUGI, et al.	:	Confirmation Number:
	:	
Serial No.:	:	Group Art Unit:
	:	
Filed: March 30, 2004	:	Examiner: Unknown
	:	
For: DISPLAY	:	

**CLAIM OF PRIORITY AND  
TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT**

Mail Stop CPD  
Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

Sir:

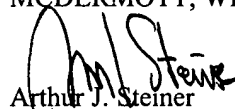
In accordance with the provisions of 35 U.S.C. 119, Applicants hereby claim the priority of:

**Japanese Patent Application No. 2003-185542, filed June 27, 2003**

cited in the Declaration of the present application. A certified copy is submitted herewith.

Respectfully submitted,

MCDERMOTT, WILL & EMERY



Arthur J. Steiner  
Registration No. 26,106

600 13<sup>th</sup> Street, N.W.  
Washington, DC 20005-3096  
(202) 756-8000 AJS:tlb  
Facsimile: (202) 756-8087  
**Date: March 30, 2004**



57810-098  
UESUGI, et al.  
March 30, 2004

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

*McDermott, Will & Emery*

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日                      2 0 0 3 年    6 月 2 7 日  
Date of Application:

出 願 番 号                      特 願 2 0 0 3 - 1 8 5 5 4 2  
Application Number:  
[ST. 10/C]:                      [ J P 2 0 0 3 - 1 8 5 5 4 2 ]

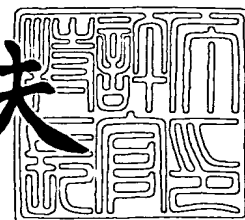
出      願      人                      三 洋 電 機 株 式 会 社  
Applicant(s):



2 0 0 4 年    2 月 2 7 日

特許庁長官  
Commissioner,  
Japan Patent Office

今 井 康 夫



出証番号    出証特 2 0 0 4 - 3 0 1 4 5 8 0

【書類名】 特許願

【整理番号】 KNB1030005

【提出日】 平成15年 6月27日

【あて先】 特許庁長官 殿

【国際特許分類】 G09G 3/20

【発明者】

    【住所又は居所】 大阪府守口市京阪本通 2 丁目 5 番 5 号  
                        三洋電機株式会社内

    【氏名】 上杉 健哉

【発明者】

    【住所又は居所】 大阪府守口市京阪本通 2 丁目 5 番 5 号  
                        三洋電機株式会社内

    【氏名】 千田 みちる

【特許出願人】

    【識別番号】 000001889

    【氏名又は名称】 三洋電機株式会社

    【代表者】 桑野 幸徳

【代理人】

    【識別番号】 100104433

    【弁理士】

    【氏名又は名称】 宮園 博一

【手数料の表示】

    【予納台帳番号】 073613

    【納付金額】 21,000円

【提出物件の目録】

    【物件名】 明細書 1

    【物件名】 図面 1

    【物件名】 要約書 1

    【包括委任状番号】 0001887

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 表示装置

【特許請求の範囲】

【請求項 1】 第 1 電位側に接続され、クロック信号に応答してオンする第 1 導電型の第 1 トランジスタと、第 2 電位側に接続された第 1 導電型の第 2 トランジスタと、前記第 1 トランジスタのゲートと前記第 2 電位との間に接続された第 1 導電型の第 3 トランジスタと、前記第 1 トランジスタのゲートと前記クロック信号を供給するクロック信号線との間に接続された高抵抗とを有する第 1 回路部を含むシフトレジスタ回路を備えたことを特徴とする表示装置。

【請求項 2】 前記高抵抗は、所定段の前記シフトレジスタ回路の第 1 トランジスタがオフ状態からオン状態になる瞬間と、所定段より 2 つ前の段の前記シフトレジスタ回路の第 1 トランジスタがオン状態からオフ状態になる瞬間とが重ならないような抵抗値に設定されていることを特徴とする請求項 1 に記載の表示装置。

【請求項 3】 前記第 1 回路部は、前記第 1 トランジスタのゲートと前記クロック信号線との間に接続され、前記第 3 トランジスタよりもオン抵抗が低いとともに、ダイオード接続された第 4 トランジスタをさらに含むことを特徴とする請求項 1 または 2 に記載の表示装置。

【請求項 4】 前記第 1 回路部は、前記第 1 トランジスタのゲートと前記クロック信号線との間に接続され、前記第 3 トランジスタのオン状態の期間と重ならないオン状態の期間が得られる信号に応答してオンする第 4 トランジスタをさらに含むことを特徴とする請求項 1 または 2 に記載の表示装置。

【請求項 5】 前記第 1 トランジスタのゲートとソースとの間には、容量が接続されていることを特徴とする請求項 1 ～ 4 のうちいずれか 1 項に記載の表示装置。

【請求項 6】 前記第 3 トランジスタは、前記第 2 トランジスタがオン状態のときに、前記第 1 トランジスタをオフ状態にする機能を有することを特徴とする請求項 1 ～ 5 のうちいずれか 1 項に記載の表示装置。

【請求項 7】 少なくとも前記第 1 トランジスタ、前記第 2 トランジスタお

よび前記第3トランジスタは、p型の電界効果型トランジスタであることを特徴とする請求項1～6のうちいずれか1項に記載の表示装置。

【請求項8】 少なくとも前記第3トランジスタは、互いに電氣的に接続された2つのゲート電極を有することを特徴とする請求項1～7のうちいずれか1項に記載の表示装置。

【請求項9】 前記第1回路部は、前記シフトレジスタ回路の出力側に配置されており、

前記シフトレジスタ回路の入力側には、前記第1トランジスタと前記第2トランジスタと前記第3トランジスタとを含むとともに、前記高抵抗を含まない第2回路部が配置されていることを特徴とする請求項1～8のうちいずれか1項に記載の表示装置。

#### 【発明の詳細な説明】

##### 【0001】

##### 【発明の属する技術分野】

この発明は、表示装置に関し、特に、シフトレジスタ回路を備えた表示装置に関する。

##### 【0002】

##### 【従来の技術】

従来、抵抗負荷型のインバータ回路が知られている（たとえば、非特許文献1参照）。また、従来では、上記した抵抗負荷型のインバータ回路を含むシフトレジスタ回路が知られている。なお、シフトレジスタ回路は、たとえば、液晶表示装置や有機EL表示装置のドレイン線を駆動する回路に用いられる。

##### 【0003】

図13は、従来の抵抗負荷型のインバータ回路を含むシフトレジスタ回路の回路図である。図13を参照して、従来のシフトレジスタ回路100aは、入力側回路部101aと出力側回路部102aとによって構成されている。また、2段目のシフトレジスタ回路100bは、入力側回路部101bと出力側回路部102bとによって構成されている。

##### 【0004】

1段目のシフトレジスタ回路100aを構成する入力側回路部101aは、nチャネルトランジスタNT101およびNT102と、容量C101と、抵抗R101とを含んでいる。以下、従来技術の説明においては、nチャネルトランジスタNT101およびNT102は、それぞれ、トランジスタNT101およびNT102と称する。トランジスタNT101のソースはノードND101に接続されているとともに、ドレインにはスタート信号STが入力される。このトランジスタNT101のゲートにはクロック信号CLK1が供給される。容量C101の一方電極はノードND101に接続されているとともに、他方電極は負側電位VSSに接続されている。また、トランジスタNT102のソースは負側電位VSSに接続されているとともに、ドレインはノードND102に接続されている。抵抗R101の一方端子はノードND102に接続されているとともに、他方端子は正側電位VDDに接続されている。そして、トランジスタNT102と抵抗R101とによって、インバータ回路が構成されている。

#### 【0005】

また、1段目のシフトレジスタ回路100aを構成する出力側回路部102aは、nチャネルトランジスタNT103と、抵抗R102とを含んでいる。以下、従来技術の説明においては、nチャネルトランジスタNT103は、トランジスタNT103と称する。トランジスタNT103のソースは負側電位VSSに接続されているとともに、ドレインはノードND103に接続されている。抵抗R102の一方端子はノードND103に接続されているとともに、他方端子は正側電位VDDに接続されている。そして、トランジスタNT103と抵抗R102とによって、インバータ回路が構成されている。

#### 【0006】

また、2段目以降のシフトレジスタ回路も上記した1段目のシフトレジスタ回路100aと同様の回路構成を有している。なお、後段のシフトレジスタ回路の入力側回路部は前段のシフトレジスタ回路の出力ノードに接続されるように構成されている。また、奇数段に配置された入力側回路部のトランジスタNT101のゲートには上記したようにクロック信号CLK1が供給されるとともに、偶数段に配置された入力側回路部のトランジスタNT101のゲートにはクロック信

号CLK2が供給される。

#### 【0007】

図14は、図13に示した従来のシフトレジスタ回路のタイミングチャートである。次に、図13および図14を参照して、従来のシフトレジスタ回路の動作について説明する。

#### 【0008】

まず、スタート信号STがHレベルになる。この後、クロック信号CLK1がHレベルになる。これにより、1段目のシフトレジスタ回路100aにおいて、トランジスタNT101がオン状態になるとともに、ノードND101の電位がHレベルに上昇するのでトランジスタNT102がオン状態になる。このため、ノードND102の電位がLレベルに低下するのでトランジスタNT103がオフ状態になる。その結果、ノードND103の電位がHレベルに上昇するので1段目のシフトレジスタ回路100aからHレベルの出力信号SR1が出力される。なお、クロック信号CLK1がHレベルである期間には容量C101にHレベルの電位が蓄積される。

#### 【0009】

次に、クロック信号CLK1がLレベルになる。これにより、1段目のシフトレジスタ回路100aにおいて、トランジスタNT101がオフ状態になる。この後、スタート信号STがLレベルになる。ここで、トランジスタNT101がオフ状態になったとしても、ノードND101の電位が容量C101に蓄積されたHレベルの電位によりHレベルに保持されているので、トランジスタNT102はオン状態に保持される。このため、ノードND102の電位がHレベルに上昇しないので、トランジスタNT103のゲートにはLレベルの信号が供給され続ける。これにより、トランジスタNT103がオフ状態に保持されるので、1段目のシフトレジスタ回路100aからHレベルの出力信号SR1が出力され続ける。

#### 【0010】

次に、クロック信号CLK2がHレベルになる。これにより、2段目のシフトレジスタ回路100bには1段目のシフトレジスタ回路100aのHレベルの出



力信号 S R 1 が入力されるので、上記した 1 段目のシフトレジスタ回路 1 0 0 a と同様の動作が行われる。このため、2 段目のシフトレジスタ回路 1 0 0 b から H レベルの出力信号 S R 2 が出力される。

#### 【0011】

この後、クロック信号 C L K 1 が再度 H レベルになる。これにより、1 段目のシフトレジスタ回路 1 0 0 a において、トランジスタ N T 1 0 1 がオン状態になる。この際、ノード N D 1 0 1 の電位はスタート信号 S T が L レベルになることにより L レベルに低下する。これにより、トランジスタ N T 1 0 2 がオフ状態になる。このため、ノード N D 1 0 2 の電位が H レベルに上昇するのでトランジスタ N T 1 0 3 がオン状態になる。その結果、ノード N D 1 0 3 の電位が H レベルから L レベルに低下するので 1 段目のシフトレジスタ回路 1 0 0 a から L レベルの出力信号 S R 1 が出力される。

#### 【0012】

上記のような動作によって、各段のシフトレジスタ回路からタイミングのシフトした H レベルの出力信号 (S R 1、S R 2、S R 3 …) が順次出力される。そして、その H レベルの出力信号 (S R 1、S R 2、S R 3 …) に応答してオンする水平スイッチを介して表示装置のドレイン線と映像信号線とを接続することによって、ドレイン線に所定の映像信号を順次供給することが可能となる。

#### 【0013】

##### 【非特許文献 1】

岸野正剛著「半導体デバイスの基礎」、オーム社出版、1985 年 4 月 25 日、p p. 184-187

#### 【0014】

##### 【発明が解決しようとする課題】

しかしながら、図 13 に示した従来のシフトレジスタ回路では、所定段のシフトレジスタ回路から出力される出力信号 (たとえば、S R 3) が L レベルから H レベルになる瞬間と、所定段より 2 つ前の段のシフトレジスタ回路から出力される出力信号 (たとえば、S R 1) が H レベルから L レベルになる瞬間とが重なる場合がある。この場合、所定段より 2 つ前の段のシフトレジスタ回路に対応した

水平スイッチがオン状態からオフ状態になる瞬間に所定段のシフトレジスタ回路に対応した水平スイッチがオン状態になるため、所定段より2つ前の段の水平スイッチを介して供給される信号にノイズが発生するという不都合が生じる。これにより、シフトレジスタ回路のHレベルの出力信号に応答してオンする水平スイッチを介して表示装置のドレイン線と映像信号線とを接続した際に、ドレイン線にノイズが発生した映像信号が供給されるという不都合がある。その結果、上記した従来のシフトレジスタ回路を表示装置のドレイン線を駆動する回路に用いた場合には、映像信号のノイズに起因して、表示装置の画像が劣化するという問題点がある。

#### 【0015】

この発明は、上記のような課題を解決するためになされたものであり、この発明の1つの目的は、画像の劣化を抑制することが可能な表示装置を提供することである。

#### 【0016】

##### 【課題を解決するための手段および発明の効果】

上記目的を達成するために、この発明の一の局面による表示装置は、第1電位側に接続され、クロック信号に応答してオンする第1導電型の第1トランジスタと、第2電位側に接続された第1導電型の第2トランジスタと、第1トランジスタのゲートと第2電位との間に接続された第1導電型の第3トランジスタと、第1トランジスタのゲートとクロック信号を供給するクロック信号線との間に接続された高抵抗とを有する第1回路部を含むシフトレジスタ回路を備えている。

#### 【0017】

この一の局面による表示装置では、上記のように、第1トランジスタのゲートとクロック信号を供給するクロック信号線との間に、高抵抗を接続することによって、第1トランジスタがオン状態になるときの応答速度が遅くなるので、第1トランジスタがオン状態のときにシフトレジスタ回路から出力される信号を遅延させることができる。したがって、所定段のシフトレジスタ回路の第1トランジスタがオン状態で、所定段より2つ前の段のシフトレジスタ回路の第1トランジスタがオフ状態になるとすると、所定段のシフトレジスタ回路に対応した水平ス

スイッチの応答速度が遅くなるとともに、所定段より2つ前の段のシフトレジスタ回路に対応した水平スイッチの応答速度は速くなる。これにより、所定段の水平スイッチがオフ状態からオン状態になる瞬間と、所定段より2つ前の段の水平スイッチがオン状態からオフ状態になる瞬間とが重なることを抑制することができる。このため、所定段より2つ前の段の水平スイッチがオフ状態になった後に、所定段の水平スイッチをオン状態にすることができるので、所定段より2つ前の段の水平スイッチがオン状態からオフ状態になる瞬間に、所定段の水平スイッチがオン状態になることに起因して、映像信号にノイズが発生することを抑制することができる。その結果、映像信号のノイズに起因する画像の劣化を抑制することができる。また、第1トランジスタのゲートとクロック信号を供給するクロック信号線との間に高抵抗を接続することによって、第2電位とクロック信号線との間に貫通電流が流れる際に、第1トランジスタのゲート電位が低下し過ぎることを抑制することができるので、オフ状態に保持された第1トランジスタがオン状態になるという誤動作を抑制することができる。このため、第1トランジスタが誤動作することに起因して、シフトレジスタ回路の出力信号が不安定になることを抑制することができる。その結果、シフトレジスタ回路の不安定な出力信号に起因する画像の劣化を抑制することができる。また、第1トランジスタ、第2トランジスタおよび第3トランジスタを第1導電型に形成することによって、2種類の導電型のトランジスタを含むシフトレジスタ回路を形成する場合に比べて、イオン注入工程の回数およびイオン注入マスクの枚数を減少させることができる。これにより、製造プロセスを簡略化することができるとともに、製造コストを削減することができる。

#### 【0018】

上記一の局面による表示装置において、好ましくは、高抵抗は、所定段のシフトレジスタ回路の第1トランジスタがオフ状態からオン状態になる瞬間と、所定段より2つ前の段のシフトレジスタ回路の第1トランジスタがオン状態からオフ状態になる瞬間とが重ならないような抵抗値に設定されている。このように構成すれば、容易に、所定段より2つ前の段の水平スイッチがオフ状態になった後で、所定段の水平スイッチをオン状態にすることができる。

## 【0019】

上記一の局面による表示装置において、好ましくは、第1回路部は、第1トランジスタのゲートとクロック信号線との間に接続され、第3トランジスタよりもオン抵抗が低いとともに、ダイオード接続された第4トランジスタをさらに含む。このように構成すれば、ダイオード接続された第4トランジスタにより、クロック信号線と第1トランジスタのゲートとの間で電流が逆流することが防止されるので、確実に、第1トランジスタのゲート-ソース間電圧をしきい値電圧以上に保持することができる。これにより、確実に、第1トランジスタをオン状態に保持することができる。また、第4トランジスタのオン抵抗を第3トランジスタのオン抵抗よりも低くすることによって、第1トランジスタのゲート側にクロック信号に応じた電圧が充電される際に、充電速度が遅くなることを抑制することができる。

## 【0020】

上記一の局面による表示装置において、好ましくは、第1回路部は、第1トランジスタのゲートとクロック信号線との間に接続され、第3トランジスタのオン状態の期間と重ならないオン状態の期間が得られる信号に応答してオンする第4トランジスタをさらに含む。このように構成すれば、第3トランジスタと第4トランジスタとが同時にオン状態になることがないので、第3トランジスタと第4トランジスタとを介して第2電位とクロック信号線との間に貫通電流が流れることを防止することができる。その結果、映像信号のノイズに起因する画像の劣化を抑制しながら、消費電力が増加することを抑制することが可能な表示装置を得ることができる。

## 【0021】

上記一の局面による表示装置において、好ましくは、第1トランジスタのゲートとソースとの間には、容量が接続されている。このように構成すれば、容易に、容量が接続された第1トランジスタのゲート-ソース間電圧を維持するように、第1トランジスタのソース電位の上昇または低下に伴って、第1トランジスタのゲート電位を上昇または低下させることができる。これにより、容易に、第1トランジスタを常時オン状態に維持することができる。その結果、第1回路部の

出力信号（第1トランジスタのソース電位）を第1電位になるまで上昇または低下させることができる。

#### 【0022】

上記一の局面による表示装置において、好ましくは、第3トランジスタは、第2トランジスタがオン状態のときに、第1トランジスタをオフ状態にする機能を有する。このように構成すれば、第1トランジスタと第2トランジスタとが同時にオン状態になることがないので、第1トランジスタと第2トランジスタとを介して第1電位と第2電位との間に貫通電流が流れることを防止することができる。

#### 【0023】

上記一の局面による表示装置において、好ましくは、少なくとも第1トランジスタ、第2トランジスタおよび第3トランジスタは、p型の電界効果型トランジスタである。このように構成すれば、p型の電界効果型トランジスタは、n型の電界効果型トランジスタと異なり、LDD (Lightly Doped Drain) 構造にする必要がないので、製造プロセスをより簡略化することができる。

#### 【0024】

上記一の局面による表示装置において、好ましくは、少なくとも第3トランジスタは、互いに電氣的に接続された2つのゲート電極を有する。このように構成すれば、第3トランジスタに印加される電圧は、2つのゲート電極により各ゲート電極に対応するソースドレイン間に分配されるので、第3トランジスタに印加されるバイアス電圧が第1電位と第2電位との電位差よりも大きい場合にも、第3トランジスタの各ゲート電極に対応するソースドレイン間には、第1電位と第2電位との電位差よりも小さい電圧が印加される。これにより、第3トランジスタに第1電位と第2電位との電位差よりも大きいバイアス電圧が印加されることに起因して、第3トランジスタの特性が劣化することが抑制されるので、シフトレジスタ回路を含む表示装置のスキアン特性が低下することを抑制することができる。

#### 【0025】

上記一の局面による表示装置において、好ましくは、第1回路部は、シフトレジスタ回路の出力側に配置されており、シフトレジスタ回路の入力側には、第1トランジスタと第2トランジスタと第3トランジスタとを含むとともに、高抵抗を含まない第2回路部が配置されている。このように構成すれば、出力側に配置された第1回路部と入力側に配置された第2回路部とを含むシフトレジスタ回路が複数接続された表示装置において、容易に、映像信号のノイズに起因する画像の劣化を抑制することができる。

#### 【0026】

##### 【発明の実施の形態】

以下、本発明の実施形態を図面に基づいて説明する。

##### （第1実施形態）

図1は、本発明の第1実施形態による液晶表示装置を示した平面図である。図2は、図1に示した第1実施形態による液晶表示装置のHドライバを構成するシフトレジスタ回路の回路図である。図3は、2つのゲート電極を有するpチャネルトランジスタの構造を説明するための模式図である。

#### 【0027】

まず、図1を参照して、この第1実施形態では、基板50上に、表示部1が設けられている。なお、図1の表示部1には、1画素分の構成を示している。この表示部1には、画素2がマトリクス状に配置されている。各々の画素2は、pチャネルトランジスタ2a、画素電極2b、画素電極2bに対向配置された各画素2に共通の対向電極2c、画素電極2bと対向電極2cとの間に挟持された液晶2d、および、補助容量2eによって構成されている。そして、pチャネルトランジスタ2aのソースはドレイン線に接続されているとともに、ドレインは画素電極2bおよび補助容量2cに接続されている。このpチャネルトランジスタ2aのゲートはゲート線に接続されている。

#### 【0028】

また、表示部1の一辺に沿うように、基板50上に、表示部1のドレイン線を駆動（走査）するための水平スイッチ（HSW）3およびHドライバ4が設けられている。また、表示部1の他の辺に沿うように、基板50上に、表示部1のゲ

ート線を駆動（走査）するためのVドライバ5が設けられている。なお、水平スイッチ3には、図1ではスイッチを2つのみ図示しているが、画素の数に応じた数だけ配置されている。また、Hドライバ4およびVドライバ5についても、図1ではそれらを構成するシフトレジスタを2つのみ図示しているが、画素の数に応じた数だけ配置されている。また、基板50の外部には、駆動IC6が設置されている。この駆動IC6は、信号発生回路6aおよび電源回路6bを備えている。駆動IC6からHドライバ4へは、ビデオ信号Video、スタート信号HST、クロック信号HCLK、正側電位HVDDおよび負側電位HVSが供給される。また、駆動IC6からVドライバ5へは、スタート信号VST、クロック信号VCLK、イネーブル信号ENB、正側電位VVDおよび負側電位VVSが供給される。なお、正側電位HVDDは、本発明の「第2電位」の一例であり、負側電位HVSは、本発明の「第1電位」の一例である。

#### 【0029】

また、図2を参照して、Hドライバ4の内部には、複数段のシフトレジスタ回路4a1、4a2および4a3が設けられている。なお、図2では、図面の簡略化のため、3段のシフトレジスタ回路4a1、4a2および4a3のみ図示しているが、実際は画素の数に応じた段数が設けられている。また、1段目のシフトレジスタ回路4a1は、入力側回路部4b1および出力側回路部4c1によって構成されている。なお、入力側回路部4b1は、本発明の「第2回路部」の一例であり、出力側回路部4c1は、本発明の「第1回路部」の一例である。

#### 【0030】

1段目のシフトレジスタ回路4a1の入力側回路部4b1は、pチャネルトランジスタPT1、PT2およびPT3と、ダイオード接続されたpチャネルトランジスタPT4と、pチャネルトランジスタのソースドレイン間を接続することにより形成された容量C1とを含んでいる。また、1段目のシフトレジスタ回路4a1の出力側回路部4c1は、入力側回路部4b1と同様、pチャネルトランジスタPT1、PT2、PT3およびPT4と、容量C1とを含んでいる。なお、pチャネルトランジスタPT1、PT2、PT3およびPT4は、それぞれ、本発明の「第1トランジスタ」、「第2トランジスタ」、「第3トランジスタ

」および「第4トランジスタ」の一例である。

#### 【0031】

ここで、第1実施形態では、出力側回路部4c1は、入力側回路部4b1と異なり、約100k $\Omega$ の抵抗値を有する高抵抗R1をさらに含んでいる。

#### 【0032】

また、第1実施形態では、入力側回路部4b1および出力側回路部4c1に設けられたpチャネルトランジスタPT1～PT4と、容量C1を構成するpチャネルトランジスタとは、すべてp型のMOSトランジスタ（電界効果型トランジスタ）からなるTFET（薄膜トランジスタ）によって構成されている。以下、pチャネルトランジスタPT1～PT4は、それぞれ、トランジスタPT1～PT4と称する。

#### 【0033】

また、第1実施形態では、トランジスタPT3およびPT4は、図3に示すように、それぞれ、互いに電氣的に接続された2つのゲート電極91および92を有するように形成されている。具体的には、一方のゲート電極91および他方のゲート電極92は、それぞれ、一方のチャネル領域91cおよび他方のチャネル領域92c上に、ゲート絶縁膜90を介して形成されている。そして、一方のチャネル領域91cは、一方のソース領域91aと一方のドレイン領域91bとに挟まれるように形成されており、他方のチャネル領域92cは、他方のソース領域92aと他方のドレイン領域92bとに挟まれるように形成されている。また、ドレイン領域91bとソース領域92aとは、共通の不純物領域により構成されている。

#### 【0034】

そして、図2に示すように、入力側回路部4b1において、トランジスタPT1のソースはノードND2に接続されているとともに、ドレインは負側電位HVSに接続されている。このトランジスタPT1のゲートはノードND1に接続されているとともに、トランジスタPT1のゲートにはクロック信号HCLK1が供給される。トランジスタPT2のソースは正側電位HVDに接続されているとともに、ドレインはノードND2に接続されている。このトランジスタPT



2のゲートにはスタート信号HSTが供給される。

#### 【0035】

ここで、第1実施形態では、トランジスタPT3はトランジスタPT1のゲートと正側電位HVDDとの間に接続されている。このトランジスタPT3のゲートにはスタート信号HSTが供給される。そして、トランジスタPT3はトランジスタPT2がオン状態のときにトランジスタPT1をオフ状態にするために設けられている。これにより、トランジスタPT2とトランジスタPT1とが同時にオン状態になることが抑制される。

#### 【0036】

また、第1実施形態では、容量C1はトランジスタPT1のゲートとソースとの間に接続されている。また、ダイオード接続されたトランジスタPT4は、トランジスタPT1のゲートとクロック信号線(HCLK1)との間に接続されている。このダイオード接続されたトランジスタPT4により、クロック信号HCLK1のHレベルのパルス電圧が、クロック信号線(HCLK1)から容量C1へ逆流することが抑制される。また、トランジスタPT4のオン抵抗は、トランジスタPT3のオン抵抗よりも低くなるように設定されている。

#### 【0037】

また、出力側回路部4c1における回路構成は、高抵抗R1を含んでいること以外は、基本的に入力側回路部4b1の回路構成と同様である。ただし、出力側回路部4c1では、トランジスタPT1のソースおよびトランジスタPT2のドレインは、それぞれ、ノードND4に接続されている。また、トランジスタPT1のゲートはノードND3に接続されているとともに、トランジスタPT1のゲートにはクロック信号HCLK1が供給される。また、トランジスタPT2およびPT3のゲートは入力側回路部4b1のノードND2に接続されている。

#### 【0038】

ここで、第1実施形態では、出力側回路部4c1において、高抵抗R1はトランジスタPT4とクロック信号線(HCLK1)との間に接続されている。この高抵抗R1はトランジスタPT1がオン状態になるときの応答速度を遅くするために設けられている。これにより、トランジスタPT1がオン状態のときに出力

側回路部 4 c 1 から出力される信号が遅延されるとともに、トランジスタ P T 1 がオフ状態のときに出力側回路部 4 c 1 から出力される信号が速められる。

#### 【0039】

そして、ノード N D 4（出力ノード）からは 1 段目のシフトレジスタ回路 4 a 1 の出力信号 S R 1 が出力される。この出力信号 S R 1 は水平スイッチ 3 に供給される。水平スイッチ 3 は複数のトランジスタ P T 2 0、P T 2 1 および P T 2 2 を含んでいる。なお、図 2 では、図面の簡略化のため、3 つのトランジスタ P T 2 0、P T 2 1 および P T 2 2 のみを図示しているが、実際は画素の数に応じた数だけ設けられている。そして、トランジスタ P T 2 0、P T 2 1 および P T 2 2 のゲートは、それぞれ、1 段目～3 段目のシフトレジスタ回路 4 a 1～4 a 3 の出力 S R 1、S R 2 および S R 3 に接続されている。また、トランジスタ P T 2 0、P T 2 1 および P T 2 2 のドレインは、それぞれ、各段のドレイン線に接続されている。また、トランジスタ P T 2 0、P T 2 1 および P T 2 2 のソースは、それぞれ、1 本のビデオ信号線（V i d e o）に接続されている。

#### 【0040】

また、1 段目のシフトレジスタ回路 4 a 1 のノード N D 4（出力ノード）には、2 段目のシフトレジスタ回路 4 a 2 が接続されている。2 段目のシフトレジスタ回路 4 a 2 は入力側回路部 4 b 2 および出力側回路部 4 c 2 によって構成されている。この 2 段目のシフトレジスタ回路 4 a 2 の入力側回路部 4 b 2 および出力側回路部 4 c 2 の回路構成は、それぞれ、上記した 1 段目のシフトレジスタ回路 4 a 1 の入力側回路部 4 b 1 および出力側回路部 4 c 1 の回路構成と同様である。また、2 段目のシフトレジスタ回路 4 a 2 の出力ノードからは出力信号 S R 2 が出力される。

#### 【0041】

また、2 段目のシフトレジスタ回路 4 a 2 の出力ノードには、3 段目のシフトレジスタ回路 4 a 3 が接続されている。3 段目のシフトレジスタ回路 4 a 3 は入力側回路部 4 b 3 および出力側回路部 4 c 3 によって構成されている。この 3 段目のシフトレジスタ回路 4 a 3 の入力側回路部 4 b 3 および出力側回路部 4 c 3 の回路構成は、それぞれ、上記した 1 段目のシフトレジスタ回路 4 a 1 の入力側

回路部 4 b 1 および出力側回路部 4 c 1 の回路構成と同様である。また、3 段目のシフトレジスタ回路 4 a 3 の出力ノードからは出力信号 S R 3 が出力される。そして、シフトレジスタ回路 4 a 1 ~ 4 a 3 の出力 S R 1 ~ S R 3 は、ビデオ信号線の数（たとえば、赤（R）、緑（G）および青（B）の 3 種類のビデオ信号 V i d e o が入力される場合は 3 本になる）に応じて設けられた水平スイッチ 3 のソースに入力される。

#### 【0042】

また、3 段目のシフトレジスタ回路 4 a 3 の出力ノードには、4 段目のシフトレジスタ回路（図示せず）が接続されている。4 段目以降のシフトレジスタ回路の回路構成は上記した 1 段目のシフトレジスタ回路 4 a 1 の回路構成と同様である。また、後段のシフトレジスタ回路は前段のシフトレジスタ回路の出力ノードに接続されるように構成されている。

#### 【0043】

なお、上記した 2 段目のシフトレジスタ回路 4 a 2 には、クロック信号線（H C L K 2）が接続されている。また、上記した 3 段目のシフトレジスタ回路 4 a 3 には、1 段目のシフトレジスタ回路 4 a 1 と同様、クロック信号線（H C L K 1）が接続されている。このように、複数段のシフトレジスタ回路には、交互にクロック信号線（H C L K 1）とクロック信号線（H C L K 2）とが接続されている。

#### 【0044】

図 4 は、図 2 に示した第 1 実施形態による液晶表示装置の H ドライバのシフトレジスタ回路のタイミングチャートである。なお、図 4 において、S R 1、S R 2、S R 3 および S R 4 は、それぞれ、1 段目、2 段目、3 段目および 4 段目のシフトレジスタ回路からの出力信号を示している。次に、図 2 および図 4 を参照して、第 1 実施形態による液晶表示装置の H ドライバのシフトレジスタ回路の動作について説明する。

#### 【0045】

まず、初期状態として、H レベル（H V D D）のスタート信号 H S T が、1 段目のシフトレジスタ回路 4 a 1 の入力側回路部 4 b 1 に入力されている。これに

より、入力側回路部 4 b 1 のトランジスタ P T 2 および P T 3 がオフ状態になるとともに、トランジスタ P T 1 がオン状態になるため、ノード N D 2 の電位は L レベルになっている。このため、出力側回路部 4 c 1 において、トランジスタ P T 2 および P T 3 はオン状態になる。これにより、ノード N D 3 の電位が H レベルになるので、トランジスタ P T 1 はオフ状態になる。このように、出力側回路部 4 c 1 において、トランジスタ P T 2 がオン状態になるとともに、トランジスタ P T 1 がオフ状態になるので、ノード N D 4 の電位は H レベルになる。これにより、初期状態では、1 段目のシフトレジスタ回路 4 a 1 から H レベルの出力信号 S R 1 が出力されている。

#### 【0046】

1 段目のシフトレジスタ回路 4 a 1 から H レベルの出力信号 S R 1 が出力されている状態で、L レベル (H V S S) のスタート信号 H S T が入力されると、入力側回路部 4 b 1 において、トランジスタ P T 2 および P T 3 はオン状態になる。これにより、ノード N D 1 および N D 2 の電位が共に H レベルになるので、トランジスタ P T 1 はオフ状態になる。このため、ノード N D 2 の電位が H レベルになるので、出力側回路部 4 c 1 において、トランジスタ P T 2 および P T 3 はオフ状態になる。このとき、ノード N D 3 の電位が H レベルの状態では保持されるので、トランジスタ P T 1 はオフ状態のまま保持される。このため、ノード N D 4 の電位が H レベルのまま保持されるので、1 段目のシフトレジスタ回路 4 a 1 から H レベルの出力信号 S R 1 が出力される。

#### 【0047】

次に、入力側回路部 4 b 1 において、トランジスタ P T 4 を介して L レベル (H V S S) のクロック信号 H C L K 1 が入力される。この際、トランジスタ P T 3 がオン状態になっているので、ノード N D 1 の電位は H レベルのまま保持される。これにより、p チャネルトランジスタ P T 1 はオフ状態のまま保持される。

#### 【0048】

一方、出力側回路部 4 c 1 においても、高抵抗 R 1 およびトランジスタ P T 4 を介して L レベル (H V S S) のクロック信号 H C L K 1 が入力される。この際、トランジスタ P T 3 がオフ状態になっているので、ノード N D 3 の電位が L レ

ベルになることにより p チャンネルトランジスタ P T 1 はオン状態になる。なお、クロック信号 H C L K 1 が L レベルである期間には、容量 C 1 には L レベルのクロック信号 H C L K 1 に応じた電圧が充電される。

**【0049】**

この際、第 1 実施形態では、出力側回路部 4 c 1 において、高抵抗 R 1 によりトランジスタ P T 1 がオン状態になるときの応答速度が遅くなる。

**【0050】**

このとき、出力側回路部 4 c 1 において、トランジスタ P T 2 がオフ状態になっているので、オン状態のトランジスタ P T 1 を介してノード N D 4 の電位は H V S S 側に低下する。この場合、ノード N D 3 の電位（トランジスタ P T 1 のゲート電位）は、容量 C 1 によってトランジスタ P T 1 のゲートソース間電圧が維持されるように、ノード N D 4 の電位（トランジスタ P T 1 のソース電位）の低下に伴って低下する。また、トランジスタ P T 3 がオフ状態であるとともに、ダイオード接続されたトランジスタ P T 4 にはクロック信号線（H C L K 1）からの H レベルの信号がノード N D 3 側に逆流することはないので、容量 C 1 の保持電圧（トランジスタ P T 1 のゲートソース間電圧）は維持される。これにより、ノード N D 4 の電位が低下していくときにトランジスタ P T 1 が常時オン状態に維持されるので、ノード N D 4 の電位は H V S S まで低下する。その結果、1 段目のシフトレジスタ回路 4 a 1 から L レベルの出力信号 S R 1 が出力される。

**【0051】**

この際、第 1 実施形態では、出力側回路部 4 c 1 において、トランジスタ P T 1 がオン状態になるときの応答速度が遅くなることにより、1 段目のシフトレジスタ回路 4 a 1（出力側回路部 4 c 1）から出力される出力信号 S R 1 が遅延される。

**【0052】**

また、出力側回路部 4 c 1 において、ノード N D 4 の電位が H V S S まで低下したときのノード N D 3 の電位は H V S S よりも低くなっている。このため、正側電位 H V D D に接続されたトランジスタ P T 3 に印加されるバイアス電圧は、

HVDDとHVSSとの電位差よりも大きくなる。また、クロック信号HCLK1がHレベル(HVDD)になった場合には、クロック信号線(HCLK1)に接続されたトランジスタPT4に印加されるバイアス電圧もHVDDとHVSSとの電位差よりも大きくなる。

#### 【0053】

次に、入力側回路部4b1において、Hレベル(HVDD)のスタート信号HSTが入力されると、トランジスタPT2およびPT3がオフ状態になる。この場合には、ノードND1およびND2はHレベルに保持された状態でフローティング状態になる。このため、他の部分へ影響が与えられることはないので、1段目のシフトレジスタ回路4a1からはLレベルの出力信号SR1が維持される。

#### 【0054】

次に、入力側回路部4b1において、再度、トランジスタPT4を介してLレベル(HVSS)のクロック信号HCLK1が入力される。これにより、トランジスタPT1がオン状態になるので、ノードND2の電位はHVSS側に低下する。この場合、トランジスタPT4と容量C1との機能により、ノードND2の電位が低下していくときにトランジスタPT1が常時オン状態に維持されるので、ノードND2の電位はHVSSまで低下する。このため、出力側回路部4c1のトランジスタPT2およびPT3はオン状態になる。

#### 【0055】

この際、第1実施形態では、出力側回路部4c1において、トランジスタPT3によってトランジスタPT1がオフ状態にされるので、トランジスタPT1とトランジスタPT2とが同時にオン状態になるのが抑制される。これにより、トランジスタPT1およびPT2を介してHVDDとHVSSとの間に貫通電流が流れることが防止される。また、トランジスタPT1がオフ状態になるときの応答速度は、トランジスタPT1がオン状態になるときの応答速度よりも速くなる。

#### 【0056】

そして、出力側回路部4c1において、トランジスタPT2がオン状態になるとともに、トランジスタPT1がオフ状態になることにより、ノードND4の電

位はH V S SからH V D Dに上昇してHレベルになる。このため、1段目のシフトレジスタ回路4 a 1からHレベルの出力信号S R 1が出力される。このとき、Lレベルのクロック信号H C L K 1が入力されれば、トランジスタP T 4およびP T 3と高抵抗R 1とを介してクロック信号線（H C L K 1）とH V D Dとの間に貫通電流が流れる。

#### 【0057】

この際、第1実施形態では、1段目のシフトレジスタ回路4 a 1（出力側回路部4 c 1）から出力されるHレベルの出力信号S R 1は、Lレベルの出力信号S R 1が出力されるときよりも速められる。

#### 【0058】

以上のように、第1実施形態による1段目のシフトレジスタ回路4 a 1では、入力側回路部4 b 1にLレベルのスタート信号H S Tが入力されているときに、Lレベルのクロック信号H C L K 1が入力されると、出力側回路部4 c 1からLレベルの出力信号S R 1が出力される。そして、出力側回路部4 c 1からLレベルの出力信号S R 1が出力されている状態で、再度、Lレベルのクロック信号H C L K 1が入力されると、出力側回路部4 c 1からの出力信号S R 1はHレベルになる。

#### 【0059】

なお、1段目のシフトレジスタ回路4 a 1の出力信号S R 1は、2段目のシフトレジスタ回路4 a 2の入力側回路部4 b 2に入力される。2段目のシフトレジスタ回路4 a 2では、入力側回路部4 b 2に1段目のシフトレジスタ回路4 a 1のLレベルの出力信号S R 1が入力されている場合に、Lレベルのクロック信号H C L K 2が入力されると、出力側回路部4 c 2からLレベルの出力信号S R 2が出力される。さらに、3段目のシフトレジスタ回路4 a 3では、入力側回路部4 b 3に2段目のシフトレジスタ回路4 a 2のLレベルの出力信号S R 2が入力されている場合に、Lレベルのクロック信号H C L K 1が入力されると、出力側回路部4 c 3からLレベルの出力信号S R 3が出力される。このように、前段のシフトレジスタ回路からの出力信号が次段のシフトレジスタ回路に入力されるとともに、Lレベルになるタイミングが互いにずれたクロック信号H C L K 1およ

びHCLK2が、各段のシフトレジスタ回路に交互に入力される。これにより、各段のシフトレジスタ回路からLレベルの出力信号が出力されるタイミングがシフトする。

#### 【0060】

タイミングがシフトしたLレベルの出力信号が水平スイッチ3のトランジスタPT20、PT21およびPT22のゲートに入力されることにより、トランジスタPT20、PT21およびPT22は、順次、オン状態になる。これにより、各段のドレイン線にビデオ信号線(Video)からビデオ信号Videoが供給されるので、各段のドレイン線は、順次、駆動(走査)される。そして、1本のゲート線に繋がる全ての段のドレイン線の走査が終了すると、次のゲート線が選択される。そして、再び各段のドレイン線が順次走査された後、次のゲート線が選択される。この動作が最後のゲート線に繋がる各段のドレイン線の走査が終了されるまで繰り返されることによって一画面の走査が終了する。

#### 【0061】

第1実施形態では、上記のように、出力側回路部(4c1、4c2および4c3)のトランジスタPT4とクロック信号線(HCLK)との間に高抵抗R1を接続することによって、トランジスタPT1がオン状態になるときの応答速度が遅くなるので、トランジスタPT1がオン状態のときにシフトレジスタ回路(4a1、4a2および4a3)から出力される出力信号(SR1、SR2およびSR3)を遅延させることができる。ここで、この第1実施形態では、高抵抗R1の抵抗値を約100kΩに設定していることにより、トランジスタPT1がオン状態のときの出力信号とトランジスタPT1がオフ状態のときの出力信号とのタイミングのずれ量(図4中のA)が約20ns以上になる。この場合、3段目のシフトレジスタ回路4a3のトランジスタPT1がオン状態(SR3がLレベル)で、1段目のシフトレジスタ回路4a1のトランジスタPT1がオフ状態(SR1がHレベル)になるとすると、3段目のシフトレジスタ回路4a3に対応したトランジスタPT22の応答速度が遅くなるとともに、1段目のシフトレジスタ回路4a1に対応したトランジスタPT20の応答速度は速くなる。これにより、3段目のトランジスタPT22がオフ状態からオン状態になる瞬間と、



1 段目のトランジスタ P T 2 0 がオン状態からオフ状態になる瞬間とが重なることを抑制することができる。このため、1 段目のトランジスタ P T 2 0 がオフ状態になった後で、3 段目のトランジスタ P T 2 2 をオン状態にすることができるので、1 段目のトランジスタ P T 2 0 がオン状態からオフ状態になる瞬間に、3 段目のトランジスタ P T 2 2 がオン状態になることに起因して、ビデオ信号 V i d e o にノイズが発生することを抑制することができる。その結果、ビデオ信号 V i d e o のノイズに起因する画像の劣化を抑制することができる。

#### 【0062】

また、出力側回路部（4 c 1、4 c 2 および 4 c 3）のトランジスタ P T 4 とクロック信号線（H C L K）との間に高抵抗 R 1 を接続することによって、H V D D とクロック信号線（H C L K）との間に貫通電流が流れる際にノード N D 3 の電位が低下し過ぎることに起因して、オフ状態に保持されたトランジスタ P T 1 がオン状態になるという誤動作を抑制することができる。このため、トランジスタ P T 1 が誤動作することに起因して、シフトレジスタ回路（4 a 1、4 a 2 および 4 a 3）の出力信号（S R 1、S R 2 および S R 3）が不安定になることを抑制することができる。その結果、シフトレジスタ回路の不安定な出力信号に起因する画像の劣化をも抑制することができる。

#### 【0063】

また、第 1 実施形態では、トランジスタ P T 4 のオン抵抗をトランジスタ P T 3 のオン抵抗よりも低くすることによって、容量 C 1 に L レベルのクロック信号 H C L K に応じた電圧が充電される際に充電速度が遅くなることを抑制することができる。

#### 【0064】

また、第 1 実施形態では、トランジスタ P T 1 ～P T 4 と容量 C 1 を構成するトランジスタとを、すべて p 型の M O S トランジスタ（電界効果型トランジスタ）からなる T F T（薄膜トランジスタ）で構成することによって、2 種類の導電型のトランジスタを含むシフトレジスタ回路を形成する場合に比べてイオン注入工程の回数およびイオン注入マスクの枚数を減少させることができる。これにより、製造プロセスを簡略化することができるとともに、製造コストを削減するこ

とができる。また、p型の電界効果型トランジスタは、n型の電界効果型トランジスタと異なり、LDD (Lightly Doped Drain) 構造にする必要がないので、製造プロセスをより簡略化することができる。

#### 【0065】

また、第1実施形態では、トランジスタPT1のゲートと正側電位HVDDとの間に接続されたトランジスタPT3を、互いに電氣的に接続された2つのゲート電極91および92を有するように構成することによって、トランジスタPT3に印加される電圧は、一方のゲート電極91に対応するソースドレイン間と他方のゲート電極92に対応するソースドレイン間とに概ね半分程度ずつ（電圧の分配比率はトランジスタサイズなどによって変動）分配される。このため、トランジスタPT3に印加されるバイアス電圧がHVSSとHVDDとの電位差よりも大きくなった場合にも、トランジスタPT3の一方のゲート電極91に対応するソースドレイン間および他方のゲート電極92に対応するソースドレイン間には、それぞれ、HVSSとHVDDとの電位差よりも小さい電圧が印加される。これにより、トランジスタPT3にHVSSとHVDDとの電位差よりも大きいバイアス電圧が印加されることに起因して、トランジスタPT3の特性が劣化することが抑制されるので、シフトレジスタ回路4a1、4a2および4a3を有するHドライバ4を含む液晶表示装置のスキャン特性が低下することを抑制することができる。

#### 【0066】

また、第1実施形態では、トランジスタPT1のゲートとクロック信号線（CLK）との間に接続されたトランジスタPT4においても、互いに電氣的に接続された2つのゲート電極91および92を有するように構成しているので、上記したトランジスタPT3と同様、トランジスタPT4に印加されるバイアス電圧がHVSSとHVDDとの電位差よりも大きくなった場合にも、トランジスタPT4の特性が劣化することが抑制される。その結果、トランジスタPT4の特性が劣化することに起因して、シフトレジスタ回路4a1、4a2および4a3を有するHドライバ4を含む液晶表示装置のスキャン特性が低下することをも抑制することができる。

## 【0067】

## (第2実施形態)

図5は、本発明の第2実施形態による液晶表示装置を示した平面図である。図6は、図5に示した第2実施形態による液晶表示装置のHドライバを構成するシフトレジスタ回路の回路図である。図7は、2つのゲート電極を有するnチャネルトランジスタの構造を説明するための模式図である。この第2実施形態では、ドレイン線を駆動（走査）するためのHドライバをnチャネルトランジスタで構成する例について説明する。

## 【0068】

まず、図5を参照して、この第2実施形態による液晶表示装置では、基板60上に、表示部11が設けられている。なお、図5の表示部11には、1画素分の構成を示している。また、表示部11にマトリクス状に配置された各画素12は、nチャネルトランジスタ12a、画素電極12b、画素電極12bに対向配置された各画素12に共通の対向電極12c、画素電極12bと対向電極12cとの間に挟持された液晶12d、および、補助容量12eによって構成されている。そして、nチャネルトランジスタ12aのソースは画素電極12bおよび補助容量12cに接続されているとともに、ドレインはドレイン線に接続されている。このnチャネルトランジスタ12aのゲートはゲート線に接続されている。また、表示部11の一辺に沿うように、基板60上に、表示部11のドレイン線を駆動（走査）するための水平スイッチ（HSW）13およびHドライバ14が設けられている。また、表示部11の他の辺に沿うように、基板60上に、表示部11のゲート線を駆動（走査）するためのVドライバ15が設けられている。なお、水平スイッチ13には、図5ではスイッチを2つのみ図示しているが、画素の数に応じた数だけ配置されている。また、Hドライバ14およびVドライバ15についても、図5ではそれらを構成するシフトレジスタを2つのみ図示しているが、画素の数に応じた数だけ配置されている。

## 【0069】

また、図6に示すように、Hドライバ14の内部には、複数段のシフトレジスタ回路14a1、14a2および14a3が設けられている。なお、図6では、

図面の簡略化のため、3段のシフトレジスタ回路14a1、14a2および14a3のみ図示しているが、実際は画素の数に応じた段数が設けられている。また、1段目のシフトレジスタ回路14a1は、入力側回路部14b1および出力側回路部14c1によって構成されている。なお、入力側回路部14b1は、本発明の「第2回路部」の一例であり、出力側回路部14c1は、本発明の「第1回路部」の一例である。

#### 【0070】

1段目のシフトレジスタ回路14a1の入力側回路部14b1は、nチャネルトランジスタNT1、NT2およびNT3と、ダイオード接続されたnチャネルトランジスタNT4と、nチャネルトランジスタのソースドレイン間を接続することにより形成された容量C1とを含んでいる。また、1段目のシフトレジスタ回路14a1の出力側回路部14c1は、入力側回路部14b1と同様、nチャネルトランジスタNT1、NT2、NT3およびNT4と、容量C1とを含んでいる。なお、nチャネルトランジスタNT1、NT2、NT3およびNT4は、それぞれ、本発明の「第1トランジスタ」、「第2トランジスタ」、「第3トランジスタ」および「第4トランジスタ」の一例である。

#### 【0071】

ここで、第2実施形態では、出力側回路部14c1は、入力側回路部14b1異なり、約100k $\Omega$ の抵抗値を有する高抵抗R1をさらに含んでいる。

#### 【0072】

また、第2実施形態では、入力側回路部14b1および出力側回路部14c1に設けられたnチャネルトランジスタNT1～NT4と、容量C1を構成するnチャネルトランジスタとは、すべてn型のMOSトランジスタ（電界効果型トランジスタ）からなるTFET（薄膜トランジスタ）によって構成されている。以下、nチャネルトランジスタNT1～NT4は、それぞれ、トランジスタNT1～NT4と称する。

#### 【0073】

また、第2実施形態では、トランジスタNT3およびNT4は、図7に示すように、それぞれ、互いに電氣的に接続された2つのゲート電極96および97を

有するように形成されている。具体的には、一方のゲート電極 96 および他方のゲート電極 97 は、それぞれ、一方のチャネル領域 96c および他方のチャネル領域 97c 上に、ゲート絶縁膜 95 を介して形成されている。そして、一方のチャネル領域 96c は、一方の低濃度不純物領域と高濃度不純物領域とを有する LDD (Lightly Doped Drain) 構造のソース領域 96a と、一方の LDD 構造のドレイン領域 96b とに挟まれるように形成されており、他方のチャネル領域 97c は、他方の LDD 構造のソース領域 97a と、他方の LDD 構造のドレイン領域 97b とに挟まれるように形成されている。また、ドレイン領域 96b とソース領域 97a とは、共通の高濃度不純物領域を有している。

#### 【0074】

そして、図 6 に示すように、第 2 実施形態のトランジスタ NT1 ~ NT4、容量 C1 および高抵抗 R1 は、それぞれ、図 2 に示した第 1 実施形態のトランジスタ PT1 ~ PT4、容量 C1 および高抵抗 R1 に対応した位置に接続されている。すなわち、この第 2 実施形態では、高抵抗 R1 は出力側回路部 14c1 のトランジスタ NT4 とクロック信号線 (HCLK1) との間に接続されている。ただし、トランジスタ NT2 および NT3 のソースは、それぞれ、負側電位 HVSS に接続されているとともに、トランジスタ NT1 のドレインは正側電位 HVDD に接続されている。なお、負側電位 HVSS は、本発明の「第 2 電位」の一例であり、正側電位 HVDD は、本発明の「第 1 電位」の一例である。

#### 【0075】

この第 2 実施形態によるシフトレジスタ回路 14a1 のこれら以外の部分の構成は、上記した第 1 実施形態によるシフトレジスタ回路 4a1 (図 2 参照) と同様である。

#### 【0076】

また、2 段目のシフトレジスタ回路 14a2 は入力側回路部 14b2 および出力側回路部 14c2 によって構成されており、3 段目のシフトレジスタ回路 14a3 は入力側回路部 14b3 および出力側回路部 14c3 によって構成されている。そして、2 段目のシフトレジスタ回路 14a2 および 3 段目のシフトレジスタ

タ回路 14 a 3 の回路構成は上記した 1 段目のシフトレジスタ回路 14 a 1 の回路構成と同様である。

#### 【0077】

また、水平スイッチ 13 は複数のトランジスタ NT 30、NT 31 および NT 32 を含んでいる。なお、図 6 では、図面の簡略化のため、3 つのトランジスタ PT 30、PT 31 および PT 32 のみを図示しているが、実際は画素の数に応じた数だけ設けられている。そして、トランジスタ NT 30、NT 31 および NT 32 のゲートは、それぞれ、1 段目～3 段目のシフトレジスタ回路 14 a 1 ～14 a 3 の出力 SR 1、SR 2 および SR 3 に接続されている。また、トランジスタ NT 30、NT 31 および NT 32 のソースは、それぞれ、各段のドレイン線に接続されている。また、トランジスタ NT 30、NT 31 および NT 32 のドレインは、1 本のビデオ信号線 (Video) に接続されている。なお、ビデオ信号線の数、たとえば、赤 (R)、緑 (G) および青 (B) の 3 種類のビデオ信号 Video が入力される場合は 3 本になる。

#### 【0078】

図 8 は、図 6 に示した第 2 実施形態による液晶表示装置の H ドライバのシフトレジスタ回路のタイミングチャートである。図 8 を参照して、この第 2 実施形態によるシフトレジスタ回路では、図 4 に示した第 1 実施形態によるシフトレジスタ回路のタイミングチャートのクロック信号 HCLK 1 および HCLK 2、および、スタート信号 HST の H レベルと L レベルとを反転させた波形の信号を、それぞれ、クロック信号 HCLK 1 および HCLK 2、および、スタート信号 HST として入力する。これにより、第 2 実施形態によるシフトレジスタ回路からは、図 4 に示した第 1 実施形態によるシフトレジスタ回路からの出力信号 SR 1 ～SR 4 の H レベルと L レベルとを反転させた波形を有する信号が出力される。そして、この第 2 実施形態では、上記第 1 実施形態と同様の抵抗値 (約 100 k $\Omega$ ) を有する高抵抗 R 1 により、トランジスタ NT 1 がオン状態のときの出力信号とトランジスタ NT 1 がオフ状態のときの出力信号とのタイミングのずれ量 (図 8 中の A) が約 20 nsec 以上になる。これにより、3 段目のトランジスタ NT 32 がオフ状態からオン状態になる瞬間と、1 段目のトランジスタ PT 30 が

オン状態からオフ状態になる瞬間とが重なることを抑制することができる。この第2実施形態によるシフトレジスタ回路のこれ以外の動作は、上記した第1実施形態によるシフトレジスタ回路と同様である。

#### 【0079】

第2実施形態では、上記のように、出力側回路部（14c1、14c2および14c3）のトランジスタNT4とクロック信号線（HCLK）との間に高抵抗R1を接続することによって、液晶表示装置の画像の劣化を抑制することができるなどの上記第1実施形態と同様の効果を得ることができる。

#### 【0080】

##### （第3実施形態）

図9は、本発明の第3実施形態による有機EL表示装置を示した平面図である。図9を参照して、この第3実施形態では、本発明を有機EL表示装置に適用する例について説明する。

#### 【0081】

この第3実施形態による有機EL表示装置では、図9に示すように、基板70上に、表示部21が設けられている。なお、図9の表示部21には、1画素分の構成を示している。また、表示部21にマトリクス状に配置された各画素22は、2つのpチャネルトランジスタ22aおよび22b（以下、トランジスタ22aおよび22bという）と、補助容量22cと、陽極22dと、陰極22eと、陽極22dと陰極22eとの間に挟持された有機EL素子22fとによって構成されている。トランジスタ22aのゲートはゲート線に接続されている。また、トランジスタ22aのソースはドレイン線に接続されている。また、トランジスタ22aのドレインには補助容量22cおよびトランジスタ22bのゲートが接続されている。また、トランジスタ22bのドレインは陽極22dに接続されている。また、Hドライバ4内部の回路構成は、図2に示したpチャネルトランジスタを用いたシフトレジスタ回路によるHドライバ4の構成と同様である。第3実施形態による有機EL表示装置のこれら以外の部分の構成は、図1に示した第1実施形態による液晶表示装置と同様である。

#### 【0082】

第3実施形態においても、上記第1実施形態と同様、出力側回路部（4c1、4c2および4c3）のトランジスタPT4とクロック信号線（HCLK）との間に高抵抗R1を接続することによって、有機EL表示装置において、画像の劣化を抑制することができるなどの上記第1実施形態と同様の効果を得ることができる。

#### 【0083】

##### （第4実施形態）

図10は、本発明の第4実施形態による有機EL表示装置を示した平面図である。図10を参照して、この第4実施形態では、本発明を有機EL表示装置に適用する例について説明する。

#### 【0084】

この第4実施形態による有機EL表示装置では、図10に示すように、基板80上に、表示部31が設けられている。なお、図10の表示部31には、1画素分の構成を示している。また、表示部31にマトリクス状に配置された各画素32は、2つのnチャネルトランジスタ32aおよび32b（以下、トランジスタ32aおよび32bという）と、補助容量32cと、陽極32dと、陰極32eと、陽極32dと陰極32eとの間に挟持された有機EL素子32fとによって構成されている。トランジスタ32aのゲートはゲート線に接続されている。また、トランジスタ32aのドレインはドレイン線に接続されている。また、トランジスタ32aのソースには補助容量32cおよびトランジスタ32bのゲートが接続されている。また、トランジスタ32bのソースは陽極32dに接続されている。また、Hドライバ14内部の回路構成は、図6に示したnチャネルトランジスタを用いたシフトレジスタ回路によるHドライバ14の構成と同様である。第4実施形態による有機EL表示装置のこれら以外の部分の構成は、図5に示した第2実施形態による液晶表示装置と同様である。

#### 【0085】

第4実施形態においても、上記第2実施形態と同様、出力側回路部（14c1、14c2および14c3）のトランジスタNT4とクロック信号線（HCLK）との間に高抵抗R1を接続することによって、有機EL表示装置において、画



像の劣化を抑制することができるなどの上記第2実施形態と同様の効果を得ることができる。

#### 【0086】

(第5実施形態)

図11は、本発明の第5実施形態による液晶表示装置のHドライバを構成するシフトレジスタ回路の出力側回路部を示した回路図である。図11を参照して、この第5実施形態では、映像信号のノイズに起因する画像の劣化を抑制し、かつ、貫通電流をも抑制することが可能なシフトレジスタ回路について説明する。

#### 【0087】

すなわち、この第5実施形態による液晶表示装置のHドライバを構成するシフトレジスタ回路の出力側回路部24c1は、図11に示すように、トランジスタPT21、PT22、PT23およびPT24と、ダイオード接続されたトランジスタPT25と、トランジスタのソースドレイン間を接続することにより形成された容量C21とを含んでいる。なお、出力側回路部24c1は、本発明の「第1回路部」の一例である。また、トランジスタPT21、PT22、PT23およびPT24は、それぞれ、本発明の「第1トランジスタ」、「第2トランジスタ」、「第3トランジスタ」および「第4トランジスタ」の一例である。

#### 【0088】

ここで、第5実施形態では、出力側回路部24c1は、約100k $\Omega$ の抵抗値を有する高抵抗R21をさらに含んでいる。

#### 【0089】

また、第5実施形態では、トランジスタPT21～PT25と、容量C21を構成するトランジスタとは、すべてp型のMOSトランジスタ（電界効果型トランジスタ）からなるTFET（薄膜トランジスタ）によって構成されている。

#### 【0090】

また、第5実施形態では、トランジスタPT23は、図3に示した第1実施形態と同様、互いに電氣的に接続された2つのゲート電極を有するように形成されている。

#### 【0091】

そして、図 11 に示すように、トランジスタ P T 2 1 のソースはノード N D 2 2 に接続されているとともに、ドレインは負側電位 V S S に接続されている。このトランジスタ P T 2 1 のゲートはノード N D 2 1 に接続されているとともに、トランジスタ P T 2 1 のゲートにはクロック信号 C L K が供給される。トランジスタ P T 2 2 のソースは正側電位 V D D に接続されているとともに、ドレインはノード N D 2 2 に接続されている。このトランジスタ P T 2 2 のゲートには入力信号が供給される。

#### 【0092】

ここで、第 5 実施形態では、トランジスタ P T 2 3 はトランジスタ P T 2 1 のゲートと正側電位 V D D との間に接続されている。このトランジスタ P T 2 3 のゲートには入力信号が供給される。そして、トランジスタ P T 2 3 はトランジスタ P T 2 2 がオン状態のときにトランジスタ P T 2 1 をオフ状態にするために設けられている。これにより、トランジスタ P T 2 2 とトランジスタ P T 2 1 とが同時にオン状態になることが抑制される。

#### 【0093】

また、第 5 実施形態では、トランジスタ P T 2 4 は、トランジスタ P T 2 1 のゲートとクロック信号線 (C L K) との間に接続されている。このトランジスタ P T 2 4 のゲートには、トランジスタ P T 2 3 のオン状態の期間と重ならないオン状態の期間が得られる信号 S 1 が供給される。また、トランジスタ P T 2 5 はトランジスタ P T 2 4 とクロック信号線 (C L K) との間に接続されている。また、容量 C 2 1 はトランジスタ P T 2 1 のゲートとソースとの間に接続されている。

#### 【0094】

また、第 5 実施形態では、高抵抗 R 2 1 はトランジスタ P T 2 5 とクロック信号線 (C L K) との間に接続されている。この高抵抗 R 2 1 はトランジスタ P T 2 1 がオン状態になるときの応答速度を遅くするために設けられている。これにより、トランジスタ P T 2 1 がオン状態のときに出力側回路部 2 4 c 1 から出力される信号が遅延されるとともに、トランジスタ P T 2 1 がオフ状態のときに出力側回路部 2 4 c 1 から出力される信号が速められる。

## 【0095】

次に、第5実施形態による液晶表示装置のシフトレジスタ回路の動作としては、まず、入力信号がHレベルになることによって、トランジスタPT22およびPT23がオフ状態になる。また、クロック信号CLKがLレベルになることによって、トランジスタPT25がオン状態になる。このとき、トランジスタPT24のゲートには、トランジスタPT23のオン状態の期間と重ならないオン状態の期間が得られる信号S1が供給される。これにより、トランジスタPT24がオン状態になるとともに、ノードND21の電位がLレベルに低下するので、トランジスタPT21がオン状態になる。なお、クロック信号CLKがLレベルである期間には、容量C21にはLレベルのクロック信号CLKに応じた電圧が充電される。

## 【0096】

この際、第5実施形態では、高抵抗R21によりトランジスタPT21がオン状態になるときの応答速度が遅くなる。

## 【0097】

このとき、トランジスタPT22がオフ状態になっているので、オン状態のトランジスタPT21を介してノードND22の電位はVSS側に低下する。この場合、ノードND21の電位（トランジスタPT21のゲート電位）は、容量C21によってトランジスタPT21のゲート-ソース間電圧が維持されるように、ノードND22の電位（トランジスタPT21のソース電位）の低下に伴って低下する。また、トランジスタPT23がオフ状態であるとともに、ダイオード接続されたトランジスタPT25には、クロック信号線（CLK）からのHレベルの信号がノードND21側に逆流することはないので、容量C21の保持電圧（トランジスタPT21のゲート-ソース間電圧）は維持される。これにより、ノードND22の電位が低下していくときにトランジスタPT21が常時オン状態に維持されるので、ノードND22の電位はVSSまで低下する。その結果、出力側回路部24c1からLレベルの出力信号が出力される。

## 【0098】

この際、第5実施形態では、トランジスタPT21がオン状態になるときの応

答速度が遅くなることにより、出力側回路部 24 c 1 から出力される出力信号が遅延される。

#### 【0099】

また、ノードND 22の電位がVSSまで低下したときのノードND 21の電位はVSSよりも低くなっている。このため、正側電位VDDに接続されたトランジスタPT 23に印加されるバイアス電圧は、VDDとVSSとの電位差よりも大きくなる。

#### 【0100】

この後、入力信号がLレベルになることによって、トランジスタPT 22およびPT 23がオン状態になる。このとき、第5実施形態では、トランジスタPT 24がオフ状態になる。すなわち、トランジスタPT 23とトランジスタPT 24とが同時にオン状態になることはない。これにより、トランジスタPT 23およびPT 24を介してVDDとクロック信号線（CLK）との間に貫通電流が流れるのが防止される。

#### 【0101】

また、第5実施形態では、オン状態のトランジスタPT 23を介してノードND 21の電位がHレベルに上昇することにより、トランジスタPT 21がオフ状態になる。これにより、トランジスタPT 21およびPT 22を介してVDDとVSSとの間に貫通電流が流れるのが防止される。

#### 【0102】

この際、第5実施形態では、トランジスタPT 21がオフ状態になるときの応答速度は、トランジスタPT 21がオン状態になるときの応答速度よりも速くなる。

#### 【0103】

そして、トランジスタPT 22がオン状態になるとともに、トランジスタPT 21がオフ状態になることにより、ノードND 22の電位はVSSからVDDに上昇してHレベルになる。このため、出力側回路部 24 c 1 からHレベルの出力信号が出力される。

#### 【0104】

この際、第5実施形態では、出力側回路部24c1から出力されるHレベルの出力信号は、Lレベルの出力信号が出力されるときよりも速められる。

#### 【0105】

第5実施形態では、上記のように、トランジスタPT25とクロック信号線（CLK）との間に高抵抗R21を接続することによって、トランジスタPT21がオン状態のときに出力側回路部24c1（シフトレジスタ回路）から出力される信号を遅延させることができる。そして、この第5実施形態では、上記第1実施形態と同様の抵抗値（約100kΩ）を有する高抵抗R21により、トランジスタPT21がオン状態のときの出力信号とトランジスタPT21がオフ状態のときの出力信号とのタイミングのずれ量が約20ns以上になる。このため、上記第1実施形態と同様、所定段より2つ前の段の水平スイッチがオフ状態になった後で、所定段の水平スイッチをオン状態にすることができるので、所定段より2つ前の段の水平スイッチがオン状態からオフ状態になる瞬間に、所定段の水平スイッチがオン状態になることに起因して、映像信号にノイズが発生することを抑制することができる。その結果、映像信号のノイズに起因する画像の劣化を抑制しながら、消費電力が増加することを抑制することが可能な液晶表示装置を得ることができる。

#### 【0106】

（第6実施形態）

図12は、本発明の第6実施形態による液晶表示装置のHドライバを構成するシフトレジスタ回路の出力側回路部を示した回路図である。この第6実施形態では、上記第5実施形態の構成において、pチャネルトランジスタに変えて、nチャネルトランジスタを用いる場合について説明する。

#### 【0107】

すなわち、この第6実施形態による液晶表示装置のHドライバを構成するシフトレジスタ回路の出力側回路部34c1は、図12に示すように、トランジスタNT21、NT22、NT23およびNT24と、ダイオード接続されたトランジスタNT25と、トランジスタのソースドレイン間を接続することにより形成された容量C21とを含んでいる。なお、出力側回路部34c1は、本発明の

「第1回路部」の一例である。また、トランジスタNT21、NT22、NT23およびNT24は、それぞれ、本発明の「第1トランジスタ」、「第2トランジスタ」、「第3トランジスタ」および「第4トランジスタ」の一例である。

#### 【0108】

ここで、第6実施形態では、出力側回路部34c1は、約100k $\Omega$ の抵抗値を有する高抵抗R21をさらに含んでいる。

#### 【0109】

また、第6実施形態では、トランジスタNT21～NT25と、容量C21を構成するトランジスタとは、すべてn型のMOSトランジスタ（電界効果型トランジスタ）からなるTFET（薄膜トランジスタ）によって構成されている。

#### 【0110】

また、第6実施形態では、トランジスタNT23は、図7に示した第2実施形態と同様、互いに電氣的に接続された2つのゲート電極を有するように形成されている。

#### 【0111】

そして、図12に示すように、第6実施形態のトランジスタNT21～NT25、容量C21および高抵抗R21は、それぞれ、図11に示した第5実施形態のトランジスタPT21～PT25、容量C21および高抵抗R21に対応した位置に接続されている。すなわち、この第6実施形態では、高抵抗R21はトランジスタNT25とクロック信号線（CLK）との間に接続されている。ただし、トランジスタNT22およびNT23のソースは、それぞれ、負側電位VSSに接続されているとともに、トランジスタNT21のドレインは正側電位VDDに接続されている。

#### 【0112】

この第6実施形態のこれら以外の構成は、上記第5実施形態と同様である。

#### 【0113】

第6実施形態では、上記のように、トランジスタNT25とクロック信号線（CLK）との間に高抵抗R21を接続することによって、上記第5実施形態と同様、映像信号のノイズに起因する画像の劣化を抑制しながら、消費電力が増加す

ることを抑制することが可能な液晶表示装置を得ることができる。

#### 【0114】

なお、今回開示された実施形態は、すべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は、上記した実施形態の説明ではなく特許請求の範囲によって示され、さらに特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれる。

#### 【0115】

たとえば、上記第1～第6実施形態では、高抵抗を約100k $\Omega$ の抵抗値を有するように形成することによって、所定の段の出力信号とその所定の段の2つ前の段の出力信号とが約20nsec以上タイミングがずれるようにしたが、本発明はこれに限らず、高抵抗の抵抗値を他の値に設定してもよい。この場合、高抵抗の抵抗値を調節することにより、所定の段の出力信号と所定の段の2つ前の段の出力信号とのタイミングのずれ量を制御することができる。

#### 【0116】

また、上記第1～第6実施形態では、本発明を液晶表示装置および有機EL表示装置に適用する例を示したが、本発明はこれに限らず、液晶表示装置および有機EL表示装置以外の表示装置にも適用可能である。

#### 【0117】

また、上記第1～第4実施形態では、第4トランジスタとしてのトランジスタPT4（トランジスタNT4）のオン抵抗を、第3トランジスタとしてのトランジスタPT3（トランジスタNT3）のオン抵抗よりも低くなるように設定したが、本発明はこれに限らず、第4トランジスタのオン抵抗が第3トランジスタのオン抵抗よりも低くなくてもよい。

#### 【図面の簡単な説明】

##### 【図1】

本発明の第1実施形態による液晶表示装置を示した平面図である。

##### 【図2】

図1に示した第1実施形態による液晶表示装置のHドライバを構成するシフトレジスタ回路の回路図である。

**【図 3】**

2つのゲート電極を有するpチャネルトランジスタの構造を説明するための模式図である。

**【図 4】**

図2に示した第1実施形態による液晶表示装置のHドライバのシフトレジスタ回路のタイミングチャートである。

**【図 5】**

本発明の第2実施形態による液晶表示装置を示した平面図である。

**【図 6】**

図5に示した第2実施形態による液晶表示装置のHドライバを構成するシフトレジスタ回路の回路図である。

**【図 7】**

2つのゲート電極を有するnチャネルトランジスタの構造を説明するための模式図である。

**【図 8】**

図6に示した第2実施形態による液晶表示装置のHドライバのシフトレジスタ回路のタイミングチャートである。

**【図 9】**

本発明の第3実施形態による有機EL表示装置を示した平面図である。

**【図 10】**

本発明の第4実施形態による有機EL表示装置を示した平面図である。

**【図 11】**

本発明の第5実施形態による液晶表示装置のHドライバを構成するシフトレジスタ回路の出力側回路部を示した回路図である。

**【図 12】**

本発明の第6実施形態による液晶表示装置のHドライバを構成するシフトレジスタ回路の出力側回路部を示した回路図である。

**【図 13】**

従来の抵抗負荷型のインバータ回路を含むシフトレジスタ回路の回路図である



。

## 【図 14】

図 13 に示した従来のシフトレジスタ回路のタイミングチャートである。

## 【符号の説明】

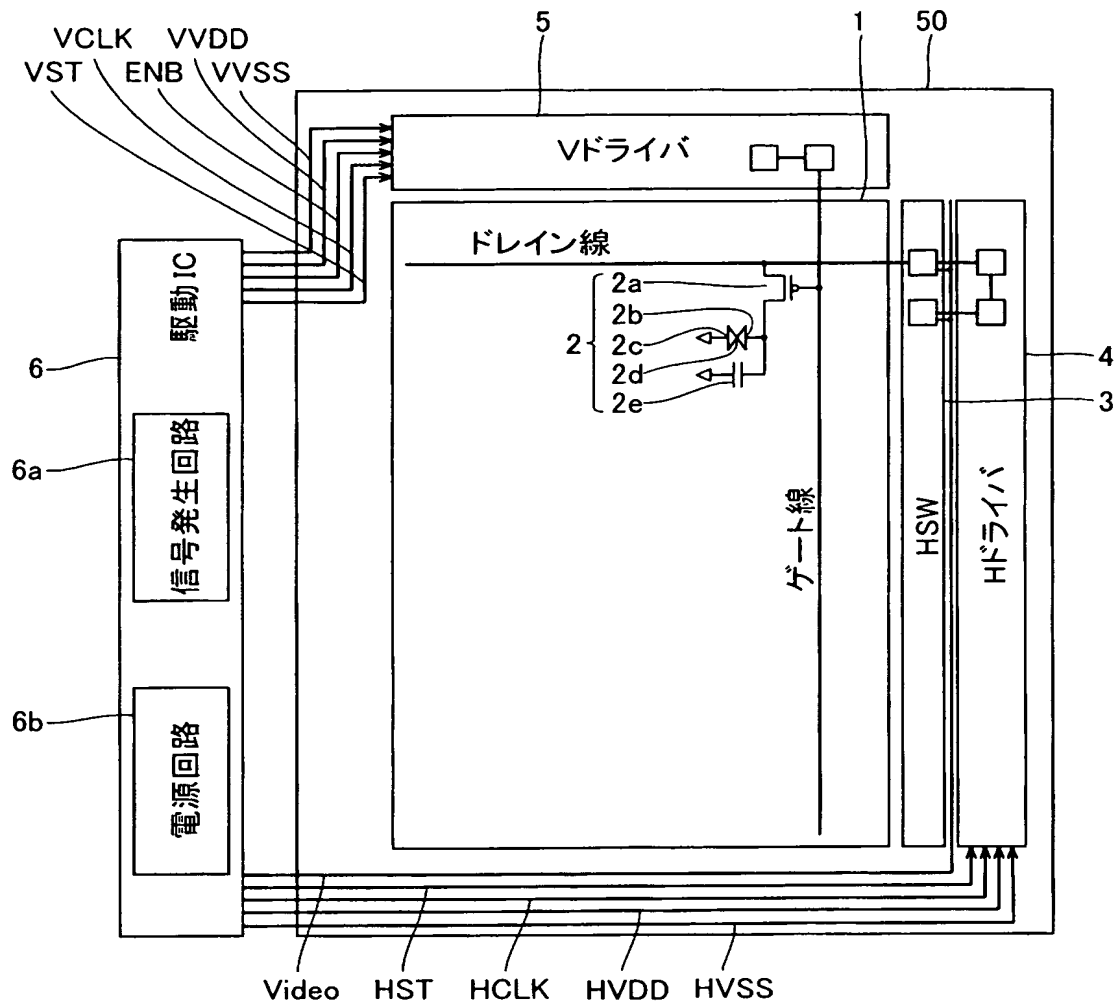
4 a 1、4 a 2、4 a 3、14 a 1、14 a 2、14 a 3 シフトレジスタ回路

4 b 1、4 b 2、4 b 3、14 b 1、14 b 2、14 b 3 入力側回路部（第 2 回路部）

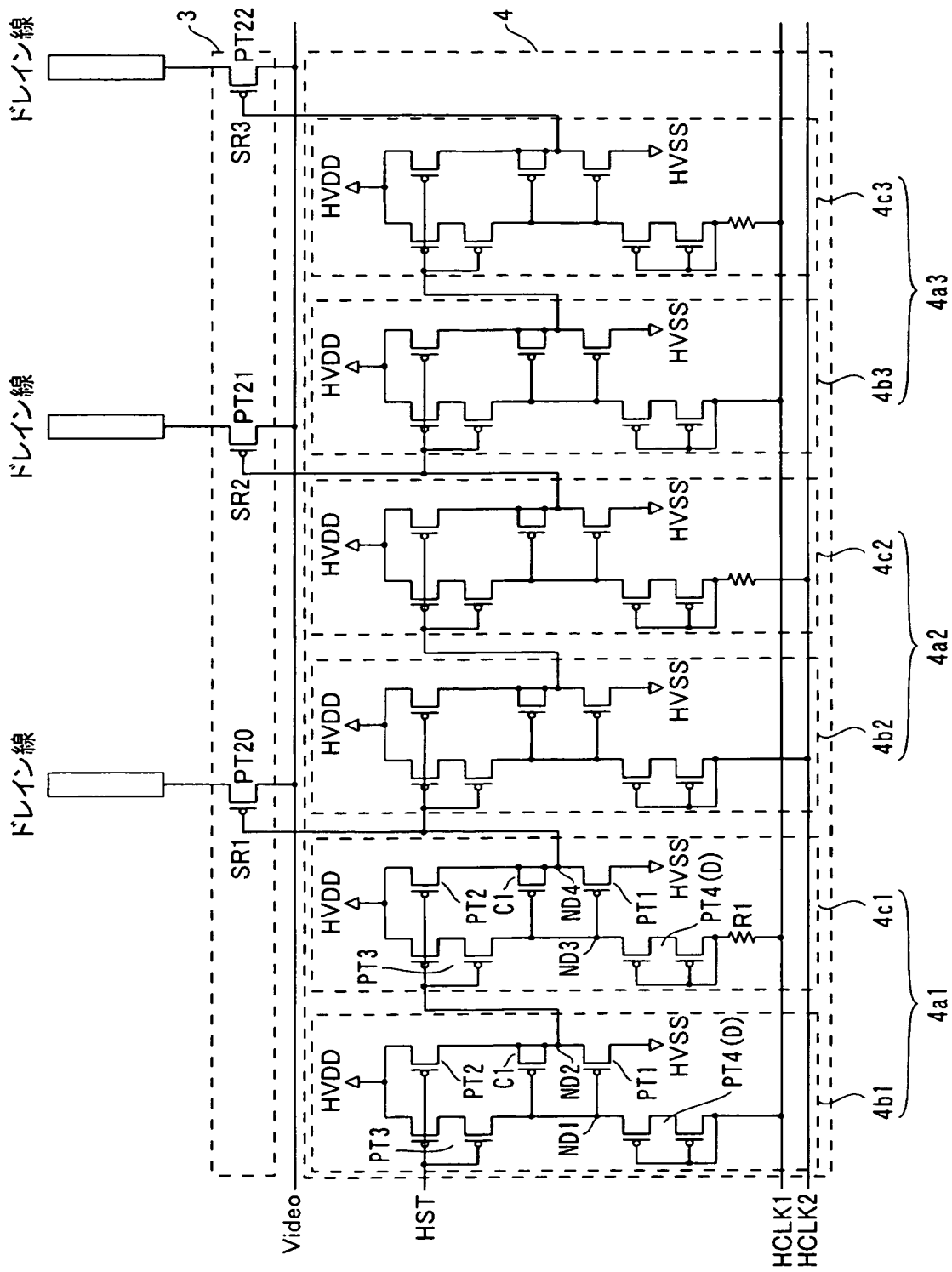
4 c 1、4 c 2、4 c 3、14 c 1、14 c 2、14 c 3、24 c 1、34 c 1 出力側回路部（第 1 回路部）

【書類名】 図面

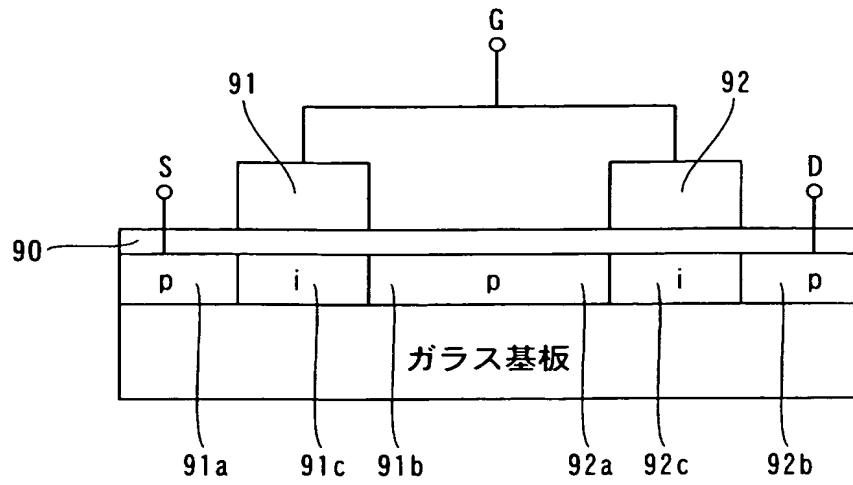
【図 1】



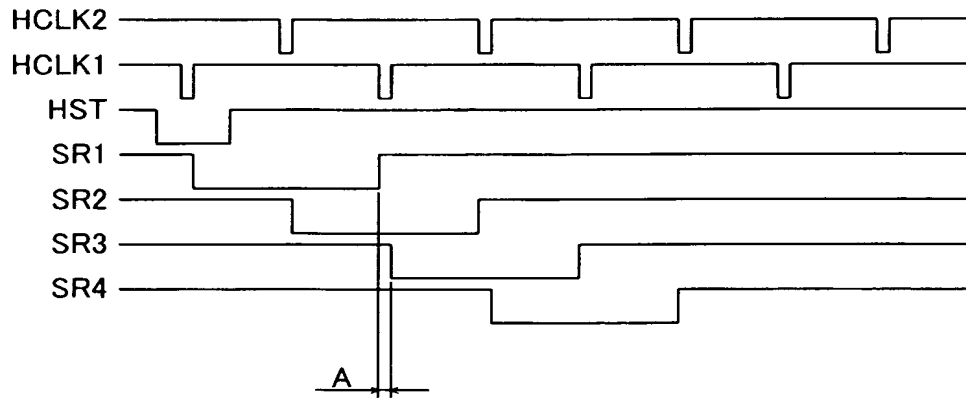
【図 2】



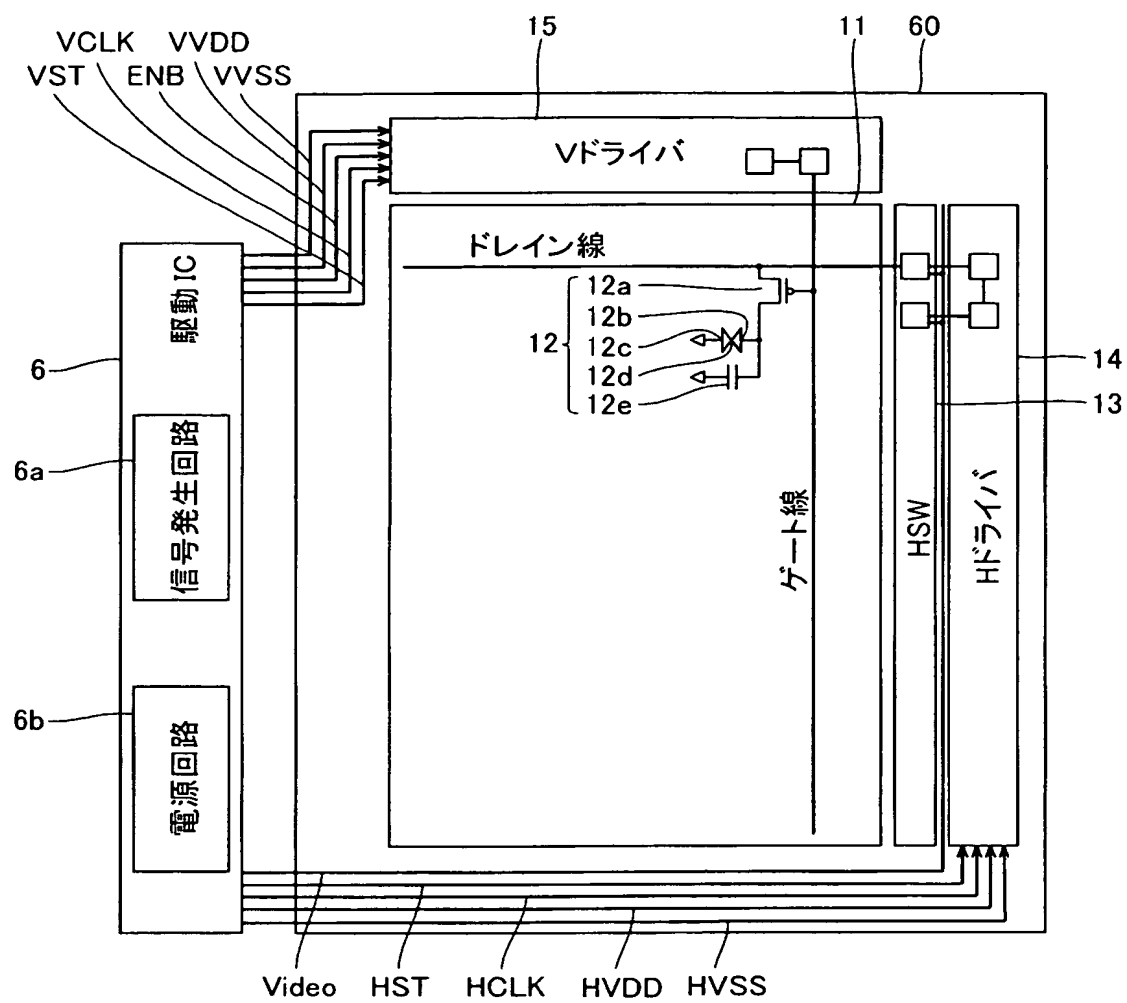
【図 3】



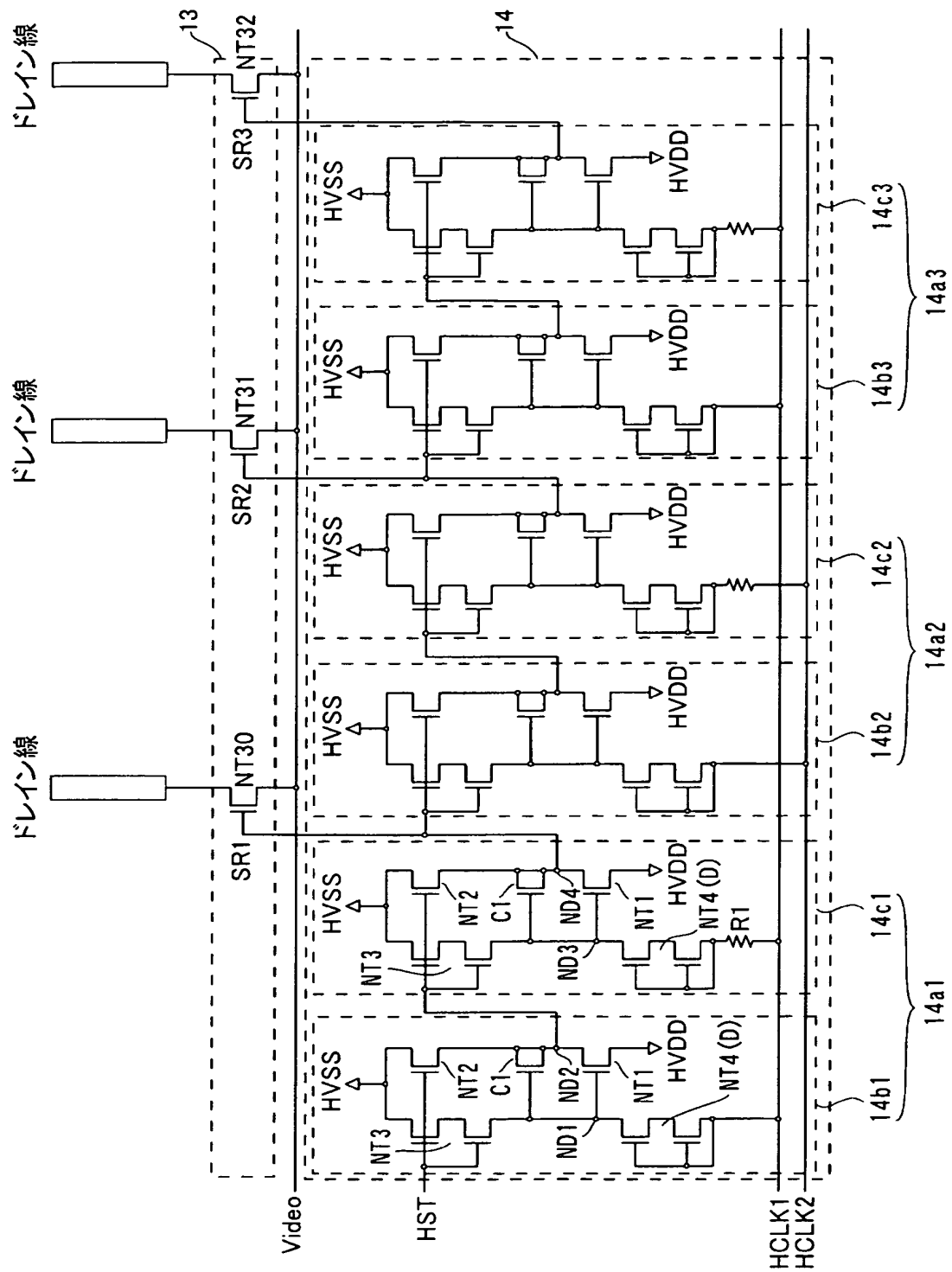
【図 4】



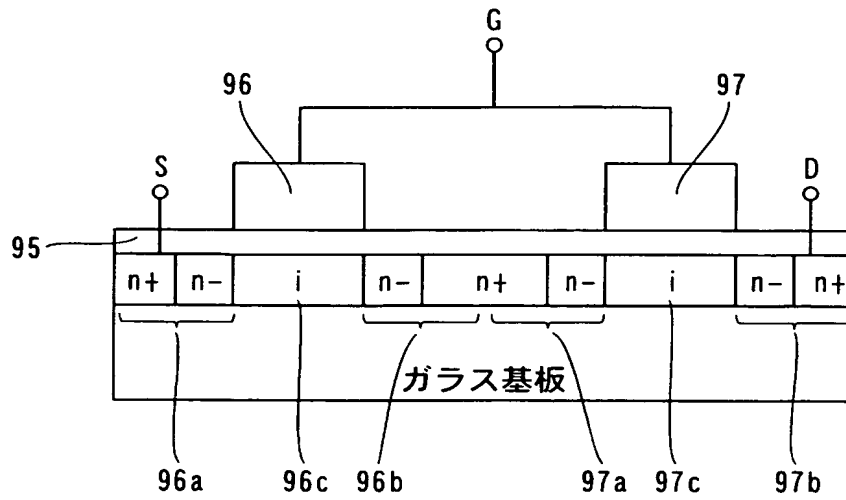
【図 5】



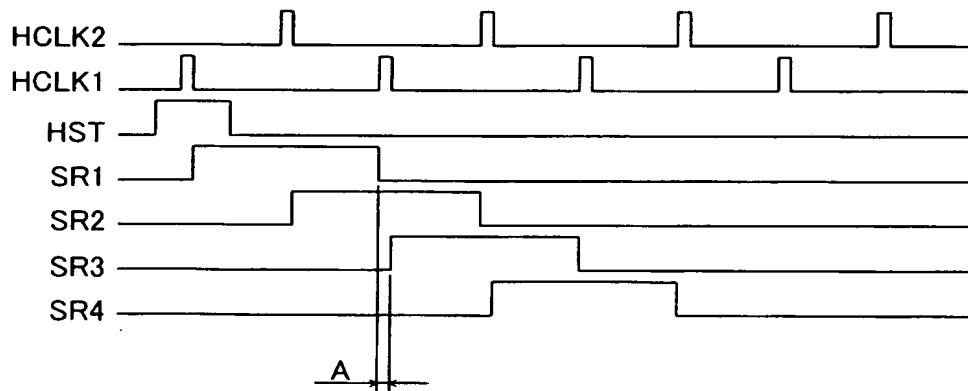
【図 6】



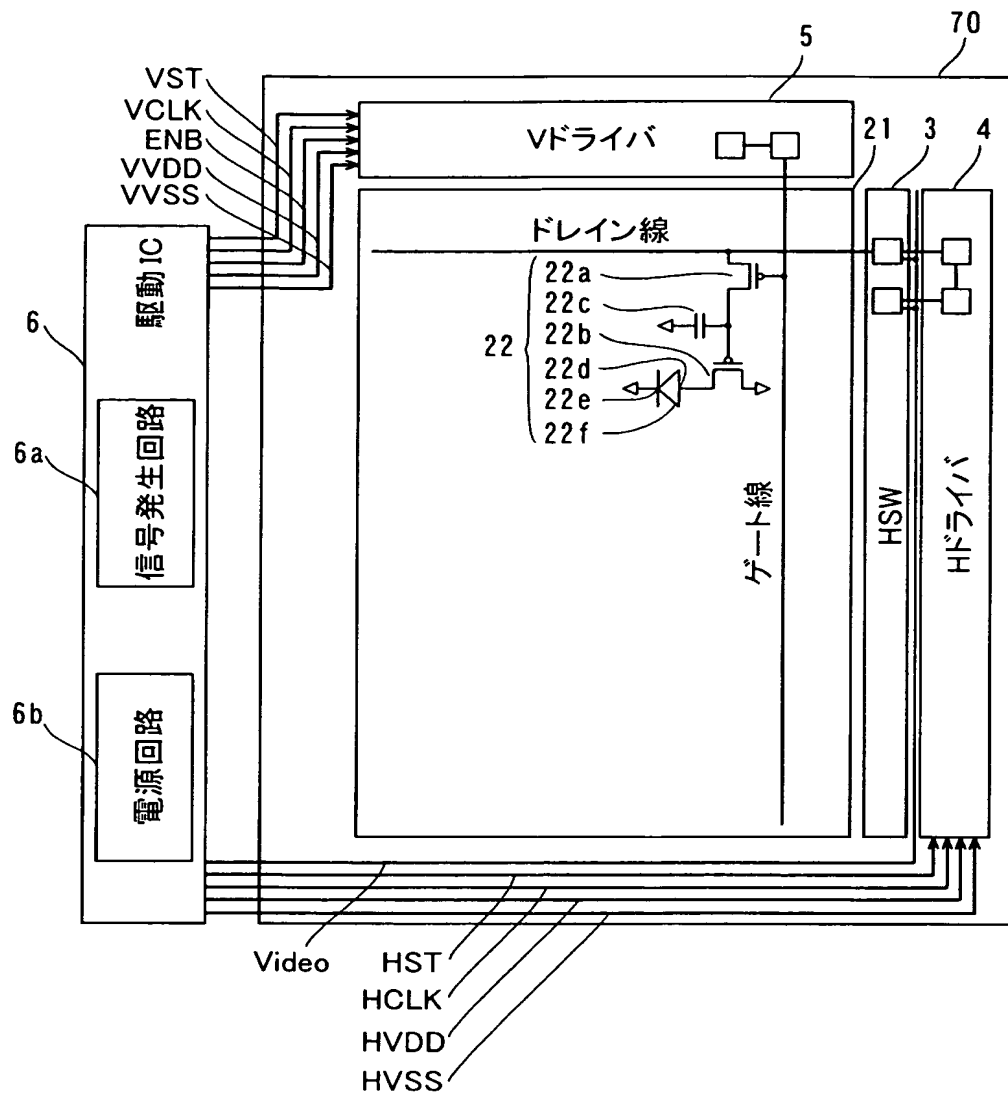
【図 7】



【図 8】



【図 9】

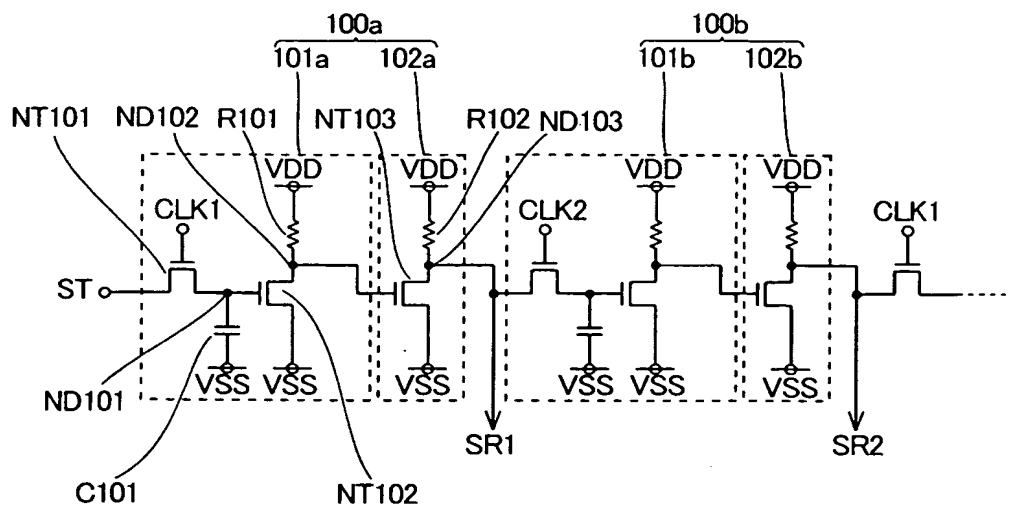




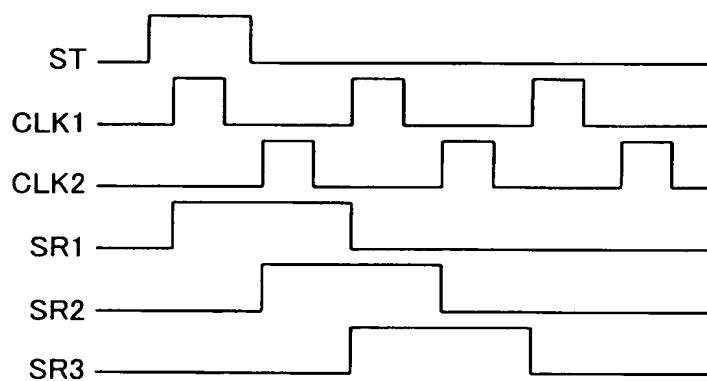




【図 13】



【図 14】



【書類名】 要約書

【要約】

【課題】 画像の劣化を抑制することが可能な表示装置を提供する。

【解決手段】 この表示装置は、負側電位H V S S側に接続され、クロック信号H C L K 1に応答してオンするpチャネルトランジスタP T 1と、正側電位H V D D側に接続されたpチャネルトランジスタP T 2と、pチャネルトランジスタP T 1のゲートと正側電位H V D Dとの間に接続されたpチャネルトランジスタP T 3と、pチャネルトランジスタP T 1のゲートとクロック信号H C L K 1を供給するクロック信号線との間に接続された約100k $\Omega$ の高抵抗R 1とを有する出力側回路部4 c 1を含むシフトレジスタ回路4 a 1を備えている。

【選択図】 図2



特願 2003-185542

出 願 人 履 歴 情 報

識別番号 [000001889]

1. 変更年月日	1993年10月20日
[変更理由]	住所変更
住 所	大阪府守口市京阪本通2丁目5番5号
氏 名	三洋電機株式会社